

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-340057

(43)Date of publication of application : 08.12.2000

(51)Int.Cl.

H01H 9/56

H01H 47/00

H01H 47/32

(21)Application number : 11-146669

(71)Applicant : TIGER VACUUM BOTTLE CO LTD
RYUSYO INDUSTRIAL CO LTD

(22)Date of filing : 26.05.1999

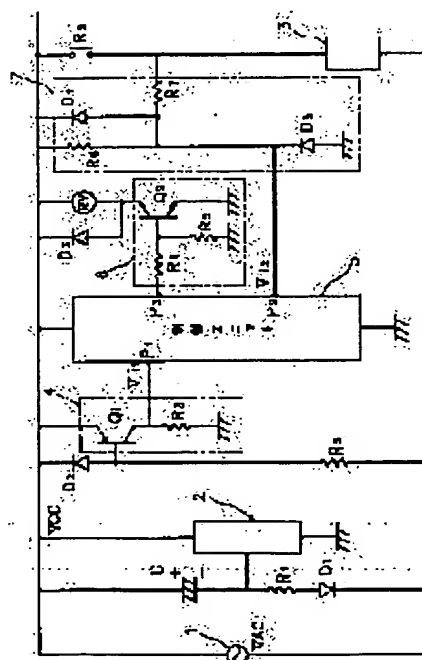
(72)Inventor : USHIDA YOSHIKI
KOJIMA HIDEMIKI
MIYAMAE SHOJI

(54) RELAY DRIVING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To switch the contacts of a relay in the vicinity of zero volt of an A.C. power source, to restrain arc discharge generated between the contacts of the relay in switching a load current, and thereby to extend the service life of the relay contacts and improve the reliability thereof.

SOLUTION: This device is composed of a waveform shaping means 4 for shaping the waveform of an A.C. power source 1 into a rectangular waveform, an inter-relay contact application voltage detection means 7 for detecting an application voltage value applied between relay contacts in switching the relay contacts, a relay drive control means for determining a predetermined relay drive timing correction time based on the application voltage value detected by the inter-relay contact application voltage detection means 7 and for determining a final relay drive timing by using the relay drive timing correction time, and a relay driving means for switching and driving the relay contacts by means of an output signal from the relay driving control means 6. The device switches the relay contacts in the vicinity of zero volt of the A.C. power source without generating arc discharge.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-340057

(P2000-340057A)

(43) 公開日 平成12年12月8日 (2000.12.8)

(51) Int.Cl.⁷

識別記号

F I

テ-マ-ト* (参考)

H 0 1 H 9/56

H 0 1 H 9/56

5 G 0 3 4

47/00

47/00

J

5 G 0 5 7

47/32

47/32

Z

審査請求 有 請求項の数 6 O L (全 12 頁)

(21) 出願番号

特願平11-146669

(22) 出願日

平成11年5月26日 (1999.5.26)

(71) 出願人 000003702

タイガー魔法瓶株式会社

大阪府大阪市城東区蒲生2丁目1番9号

(71) 出願人 390000594

隆祥産業株式会社

大阪府大阪市中央区南本町2丁目1番8号

(72) 発明者 牛田 善喜

香川県香川郡香南町池内958 隆祥産業株式会社香川工場内

(74) 代理人 100075731

弁理士 大浜 博

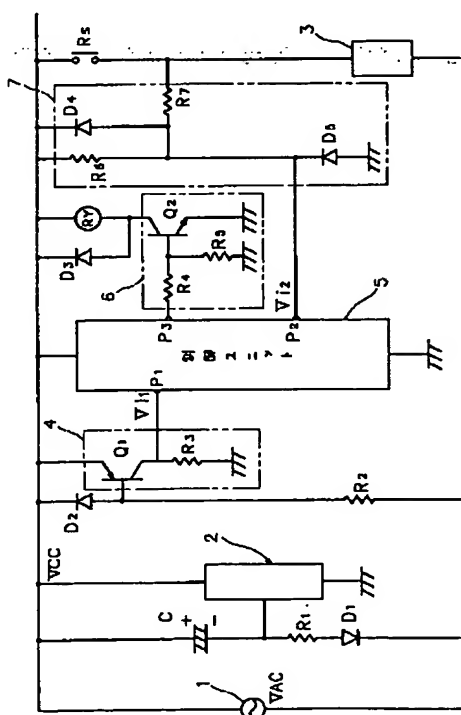
最終頁に続く

(54) 【発明の名称】 リレー駆動装置

(57) 【要約】

【課題】 交流電源のゼロボルト付近でリレーの接点の開閉を行うことができるようにし、負荷電流の開閉時にリレー接点間で起きるアーク放電を抑え、リレー接点の寿命を長くし、信頼性を向上させる。

【解決手段】 交流電源を矩形波に整形する波形整形手段と、リレー接点開閉時にリレー接点間に印加された印加電圧値を検出するリレー接点間印加電圧検出手段と、該リレー接点間印加電圧検出手段により検出された印加電圧値に基づいて所定のリレー駆動タイミング補正時間を決定し、このリレー駆動タイミング補正時間を用いて最終的なリレー駆動タイミングを決定するリレー駆動制御手段と、該リレー駆動制御手段からの出力信号によって、上記リレー接点を開閉駆動するリレー駆動手段とから構成し、上記リレー接点を交流電源のゼロボルト付近でアーク放電を生じさせることなく開閉するようにした。



【特許請求の範囲】

【請求項1】 交流電源を矩形波に整形する波形整形手段と、リレー接点開閉時にリレー接点間に印加された印加電圧値を検出するリレー接点間印加電圧検出手段と、該リレー接点間印加電圧検出手段により検出された印加電圧値に基づいて所定のリレー駆動タイミング補正時間を決定し、このリレー駆動タイミング補正時間を用いて最終的なリレー駆動タイミングを決定するリレー駆動制御手段と、該リレー駆動制御手段からの出力信号によって、上記リレー接点を開閉駆動するリレー駆動手段とを備えてなるリレー駆動装置。

【請求項2】 上記リレー接点の開閉タイミング付近において、上記リレー接点間印加電圧検出手段によって複数回検出された複数のリレー接点間の印加電圧値を記憶する複数の印加電圧値記憶手段を有することを特徴とする請求項1記載のリレー駆動装置。

【請求項3】 上記複数の印加電圧値記憶手段に記憶された上記複数のリレー接点間の印加電圧値に基づいて複数のリレー駆動タイミング補正時間を決定し、該複数のリレー駆動タイミング補正時間に基づいて最終的なリレー駆動タイミングを決定するようにしたことを特徴とする請求項2記載のリレー駆動装置。

【請求項4】 サージ電圧吸収手段を備えたことを特徴とする請求項1、2又は3記載のリレー駆動装置。

【請求項5】 上記サージ電圧吸収手段は、リレーコイルに並列に接続されたダイオードおよびツェナーダイオードの直列回路よりなることを特徴とする請求項4記載のリレー駆動装置。

【請求項6】 上記リレー駆動制御手段は、マイクロコンピュータ制御ユニットにより構成され、上記リレー接点間印加電圧検出手段により検出されたリレー接点間印加電圧値は上記マイクロコンピュータ制御ユニットのアナログデジタル変換入力ポートを介して入力されるようになっていることを特徴とする請求項1、2、3、4又は5記載のリレー駆動装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本願発明は、リレー接点開閉時のアーク放電を防止したリレー駆動装置に関するものである。

【0002】

【従来の技術】 一般に機械式の接点を有する有接点リレーにおいては、リレー接点の接触抵抗による電力損失が、半導体スイッチング素子などの無接点リレーのオン抵抗による電力損失よりも十分に小さいために、大きな負荷電流を流すことができ、また放熱板を用いる必要がないという特徴をもっている。しかし、他方負荷電流の開閉時に接点間でアーク放電が起きるので接点の劣化が著しくなり、開閉頻度を余り多くできず、また信頼性が悪くなるなどの問題を有している。

【0003】 そこで、このような問題を解決した従来例として、例えば交流電源のゼロボルトに同期した信号を発生する電源同期信号発生手段と、リレー接点が開閉した位相を検知する開閉位相検知手段と、上記電源同期信号発生手段からの電源同期信号と上記開閉位相検知手段からの開閉位相検知信号とを各々入力し、それらの時間差を測定する時間差測定手段およびこの時間差測定手段からの測定信号に基づいて上記リレー接点の駆動位相を決定する駆動位相決定手段を有する制御部と、この制御部からの出力信号によって上記リレーを駆動するリレー駆動手段とからなり、上記交流電源のゼロボルト近辺でリレー接点の開閉を行うようにしたものがある（例えば特公平3-3325号公報参照）。

【0004】 このようなリレー駆動装置によれば、交流電源のゼロボルト近辺でリレーの接点の開閉を行うことができるようになるために、負荷電流の開閉時にリレー接点間で起きるアーク放電が抑えられ、リレー接点の寿命が向上し、信頼性も高くなる。

【0005】

【発明が解決しようとする課題】 しかし、上記のようなリレー駆動装置の構成の場合、その公報明細書および図面の記載から明らかなように、その実施に際して、例えばダイオードブリッジ、抵抗、フォトカプラなどからなる電源同期信号発生手段や、ダイオードブリッジ、抵抗、フォトカプラなどからなる開閉位相検知手段、また上記電源同期信号発生手段からの電源同期信号と上記開閉位相検知手段からの開閉位相検知信号とを各々入力し、それらの時間差を測定する時間差測定手段等を必要とし、コストがかかり、回路構成も複雑になる。

【0006】 本願発明は、そのような問題を生じさせることなく、同様の機能を実現することができるリレー駆動装置を提供することを目的とするものである。

【0007】

【課題を解決するための手段】 本願発明は、上記の目的を達成するために、次のような課題解決手段を備えて構成されている。

【0008】 (1) 請求項1の発明

この発明のリレー駆動装置は、交流電源を矩形波に整形する波形整形手段と、リレー接点開閉時にリレー接点間に印加された印加電圧値を検出するリレー接点間印加電圧検出手段と、該リレー接点間印加電圧検出手段により検出された印加電圧値に基づいて所定のリレー駆動タイミング補正時間を決定し、このリレー駆動タイミング補正時間を用いて最終的なリレー駆動タイミングを決定するリレー駆動制御手段と、該リレー駆動制御手段からの出力信号によって、上記リレー接点を開閉駆動するリレー駆動手段とを備えて構成されており、上記リレー接点開閉時の上記リレー接点間の印加電圧値に基づいて、その開閉タイミングの補正時間を決定し、それにより最終的なリレー駆動タイミングを補正するだけの簡単な構成

で、最終的に上記交流電源のゼロボルト近辺でリレー接点の開閉を行うことができるようになっていいる。

【0009】したがって、該構成では、リレー接点開閉時のリレー接点間の印加電圧値に基づいて、予じめ設定されている基本的な開閉タイミングを補正するだけの簡単な構成で、最終的に適切な開閉タイミング（ゼロボルト付近）を実現することができ、前記従来のものと同様の負荷電流の開閉時にリレー接点間で起きるアーク放電を有効に抑制することができるようになり、接点寿命が向上するとともに、製品間の寿命のばらつきも小さくすることができる。その結果、信頼性が向上し、必要に応じて例えばリレーによる負荷電力のデューティ制御なども可能となる。

【0010】また、リレー接点開閉時におけるリレー接点間の実際の印加電圧値に基づいて、その開閉タイミング補正時間を決定するようになっていいるので、当該開閉タイミング補正時間自体が、リレー接点開閉時点でのチャタリングノイズ等による同期位置変動の影響を受けないようになる。

【0011】さらに、大きなチャタリングノイズ等で交流電源の波形が大幅に歪むようなことがあっても、上記開閉タイミング補正時間はリレー接点開閉時に実際にリレー接点間に印加される電圧値により決定されるようになっていいるため、その最適電圧範囲を超えるようなことはなく、過大な補正は起こりにくい。

【0012】(2) 請求項2の発明

この発明のリレー駆動装置は、上記請求項1の発明の構成において、上記リレー接点の開閉タイミング付近において、上記リレー接点間印加電圧検出手段によって複数回検出された複数のリレー接点間の印加電圧値を記憶する複数の印加電圧値記憶手段を有していいる。

【0013】リレー接点の開閉動作は、機構的な開閉動作と電氣的な開閉動作との間で所定のタイムラグがある（チャタリング又はアーク放電による半接続など）。

【0014】したがって、リレー接点開閉時のリレー接点間印加電圧の検出は、それらを考慮して所定の範囲で複数回行ない、アーク放電の生じない最適電圧範囲の最大値を求める必要がある。

【0015】そのために、上記のようにリレー接点の開閉タイミング付近において、リレー接点間印加電圧検出手段によってリレー接点間の印加電圧を複数回検出し、該複数のリレー接点間の印加電圧検出値を複数の印加電圧値記憶手段に記憶させるようにする。

【0016】(3) 請求項3の発明

この発明のリレー駆動装置は、上記請求項2の発明の構成において、上記複数の印加電圧値記憶手段に記憶された上記複数のリレー接点間の印加電圧値に基づいて複数のリレー駆動タイミング補正時間を決定し、該複数のリレー駆動タイミング補正時間に基づいて最終的なリレー駆動タイミングを決定するようになっていいる。

【0017】上述のように、リレー接点の開閉動作は、機構的な開閉動作と電氣的な開閉動作との間で所定のタイムラグがある（チャタリング又はアーク放電による半接続など）。

【0018】したがって、リレー接点開閉時のリレー接点間印加電圧の検出は、それらを考慮して所定の範囲で複数回行ない、アーク放電の生じない最適電圧範囲の最大値を求める必要がある。

【0019】そのために、上述のようにリレー接点の開閉タイミング付近において、リレー接点間印加電圧検出手段によってリレー接点間の印加電圧値を複数回検出し、該検出された複数のリレー接点間の印加電圧値を複数の印加電圧値記憶手段に記憶させるようにし、該複数の印加電圧値記憶手段に記憶された複数のリレー接点間印加電圧値に基づいて複数のリレー駆動タイミング補正時間を決定し、該複数のリレー駆動タイミング補正時間に基づいて最終的なリレー駆動タイミングを決定するようにする。

【0020】(4) 請求項4の発明

この発明のリレー駆動装置は、上記請求項1、2又は3の発明の構成において、サージ電圧吸収手段が備えられていいる。

【0021】したがって、リレーコイル部で発生する誘導負荷特有のサージ電圧を吸収してリレー駆動手段の保護を図ることができる。

【0022】(5) 請求項5の発明

この発明のリレー駆動装置は、上記請求項4の発明の構成において、サージ電圧吸収手段が、リレーコイルに並列に接続されたダイオードおよびツェナーダイオードの直列回路よりなっている。

【0023】このようにサージ電圧吸収手段が、ダイオードと該ダイオードに直列なツェナーダイオードにより形成されていいると、先ずダイオードによりリレーコイル部で発生する誘導負荷特有の回路を破壊するような高電位のサージ電圧を有効に吸収してリレー駆動手段の保護を図ることができる。

【0024】一方、このようにダイオードを挿入した場合、リレー個々の製品特性の相違によっては、当該ダイオードがあることにより、接点動作時間が大きく変化する、共通なタイミングの開閉制御を行うことが難しくなる。

【0025】ところが、上記のように上記ダイオードに直列にツェナーダイオードを入れると、上記回路を破壊するような高電位のサージ電圧のみを吸収し、接点動作時間を変化させる要因の低電位のサージ電圧は吸収しないようになるので、上記リレー接点の動作時間を略共通にすることができる。

【0026】その結果、例えば予じめ基本的な開閉タイミングを所定の記憶手段に記憶しておくようにすると、上述のようなリレー駆動タイミングの補正回数を減

らすことが可能になり、リレー接点の寿命を延ばすことができる。

【0027】(6) 請求項6の発明

この発明のリレー駆動装置は、上記請求項1, 2, 3, 4又は5の発明の構成において、上記リレー駆動制御手段が、マイクロコンピュータ制御ユニットにより構成され、上記リレー接点間印加電圧検出手段により検出されたリレー接点間印加電圧値は上記マイクロコンピュータ制御ユニットのアナログデジタル変換入力ポートを介して入力されるようになっている。

【0028】

【発明の実施の形態】図1～図8は、本願発明の実施の形態に係るリレー駆動装置の構成を示している。

【0029】先ず図1は、同リレー駆動装置が適用された所定の負荷（電源負荷）3に対する電源開閉制御用のリレー駆動システム図である。

【0030】図中、符号1は交流電源（以下、単にAC電源という）、2は平滑コンデンサC、抵抗 R_1 、ダイオード D_1 よりなる平滑整流回路（半波整流回路）を介して平滑整流された直流電源電圧 V_{cc} （図4の

(b)、図5の(b)を参照)を出力する直流電源、3は例えばヒータ等の負荷（電源負荷）、4はダイオード D_2 および抵抗 R_2 を介してON, OFFされるトランジスタ Q_1 を備え、出力抵抗 R_3 を介して上記AC電源1の電源電圧 V_{AC} （図4の(a)、図5の(a)を参照)の波形整形信号（矩形波信号） V_{i1} （電源電圧 V_{AC} の負側半サイクルでH、正側の半サイクルでL・・・

(図4の(b)、図5の(b)を参照)を出力する波形整形回路、5はリレー(RY, Rs)の駆動状態をリレー駆動回路6を介して制御し、上述の負荷3に対する電源の供給状態を制御する制御ユニット（制御手段）、RYはリレーのリレーコイル、Rsはリレーのリレー接点、 D_3 はリレーコイルRYのサージ電圧吸収用のダイオード、6はON動作時において上記リレーコイルRYを励磁するリレー駆動トランジスタ Q_2 とその動作電圧設定用の抵抗 R_4 、 R_5 よりなるリレー駆動回路、7は分圧抵抗 R_6 、 R_7 とクランプダイオード D_4 、 D_5 よりなるリレー接点間印加電圧検出回路（リレー接点間印加電圧検出手段）である。

【0031】上記制御ユニット5は、例えばCPU、ROM、RAM（複数）、入出力ポート、アナログデジタル変換ポート（入力ポート）等を備えたマイクロコンピュータにより構成され、ROM内に上記波形整形回路4からの波形整形信号 V_{i1} と上記電源電圧 V_{AC} の電圧 V_1 （図4の(a)参照)又は V_3 （図5の(a)参照)に対応するものとして検出された上記リレー接点間印加電圧検出回路7からのリレー接点間印加電圧検出値 v_1 （図4の(c) V_{i2} 参照)又は v_3 （図5の(c) V_{i2} 参照)とをそれぞれ対応する入力ポート P_1 、アナログデジタル変換ポート（入力ポート） P_2 を介して入力

し、波形整形信号 V_{i1} に対応した複数のリレー接点間印加電圧 v_1 又は v_3 を複数のRAM中に順次記憶させる記憶制御手段と、それらの間の電圧差を演算（電圧値を比較）する電圧差演算手段（電圧値比較手段）と、該電圧差演算手段からの電圧差演算信号に基づいて、所定の補正時間 T_{hn} （閉時）又は T_{kn} （開時）を演算し、それにより予め定められている上記リレーの駆動待ち時間 T_1 （閉時・・・図4の(d)～(g)参照)又は T_2 （開時・・・図5の(d)～(g)参照)を各々適切に補正し、最終的なリレー駆動待ち時間（最終的なリレー駆動タイミング） T_1+T_{hn} （閉時）又は T_2+T_{kn} （開時）を決定するリレー駆動制御手段とを持っている。

【0032】そして、上記リレー接点Rsの開閉制御は、当該制御ユニット5中に内蔵された制御プログラムによって、例えば図2（閉制御）および図3（開制御）のフローチャートに示すようにして行われる。

【0033】一方、図4および図5は、それらの各フローチャートに対応したタイミングチャートである。

【0034】そこで、次に該図2および図3のフローチャートとそれらに対応する図4および図5のタイミングチャートとを参照しながら、上記制御ユニット5による上記リレー接点Rsの開閉制御の内容について、さらに具体的に説明する。

【0035】(A) リレー接点Rsを開状態から閉状態にメーク制御する場合（フローチャート図2、タイミングチャート図4）

すなわち、該場合には、先ずステップ S_1 で、現在の状態が上記AC電源1の電源電圧 V_{AC} （図4の(a)参照)の波形整形信号 V_{i1} （図4の(b)参照)の立下がり時を基準として開始するリレー制御スタートタイミング T_A 以前であるか否かを判定する。今例えば、同スタートタイミング T_A 以前において上記負荷3に対して電流を流す旨の指示（例えばヒータスイッチ等による負荷ON指令）があったとすると、同スタートタイミング T_A 時点においてYESと判定し、それに対応して当該スタートタイミング T_A 時点から上記リレーコイルRYを励磁して上記リレー接点Rsを閉じるリレー駆動回路6のリレー接点メーク動作が始まる。そして、該リレー接点Rsのメーク動作が始まると、続いてステップ S_2 に進み、上記スタートタイミング T_A 時点から例えば減算タイマーにより経過時間をカウントし、次のステップ S_3 で予め定められている所定のリレー駆動待ち時間 T_1 が経過（ $T_1=0$ ）したか否かを判定する。その結果、YES（ T_1 経過）と判定されると、その後、ステップ S_4 で上記リレー駆動回路6のトランジスタ Q_2 に対してリレー駆動信号（図4の(d)参照)を出力する。そうすると、同トランジスタ Q_2 がONになって上記リレーコイルRYに電流が流れ始め、個々のリレーの製品特性によって定まる所要の接点動作時間 T_{s1} 後にリレ

一接点 R_s がONになって、負荷3に電流が流れるようになる(図4の(e)参照)。

【0036】この時(1回目のリレーON時)、上記リレー接点 R_s は、上記AC電源1の電源電圧 V_{AC} のその時の所定の値の電圧 V_1 (V_n) (図4の(a)参照)で閉じる。この電圧 V_1 (V_n)は、目的とするリレー接点 R_s の損傷をさけるためのリレー接点保護最適電圧範囲(図4の(a)の $V_b \sim V_a$ の範囲内の電圧)に対しては、未だその範囲外にあることになる。

【0037】また、この時に上記リレー接点間印加電圧検出回路7は、上記抵抗 R_6 、 R_7 、ダイオード D_4 、 D_5 を介して上記リレー接点 R_s のON時の電源電圧 V_{AC} 側の電圧値 V_1 (V_n)に相当するリレー接点 R_s 間の印加電圧検出値 v_1 (v_n) (図4の(c)参照)を検出して、上記制御ユニット5の複数のRAM中の何れかのRAMに取り込んで記憶する。ここで検出された該リレー接点 R_s 間の印加電圧検出値 v_1 (v_n)も、図示のように上記電源電圧 V_{AC} 側のリレー接点保護最適電圧範囲($V_b \sim V_a$)に相当するリレー接点間印加電圧検出値の最適検出電圧範囲($v_b \sim v_a$)外にあるため、上記制御ユニット5は次回(2回目)以降のリレー接点 R_s のONのタイミングでのリレー駆動待ち時間 T_1 に対する所定の補正時間 T_{hn} (T_{hn})を、上記今回検出されたリレー接点間印加電圧検出値 v_1 (v_n)を基に演算して上記別のRAM中に記憶する。

【0038】なお、この補正時間 T_{hn} (T_{hn})の記憶は、例えば図6に示すような正負両特性のマップを用いてステップ $S_5 \sim S_8$ に示すようにして行われる。

【0039】すなわち、先ず1つの方法として例えば図6に示すように上記リレー接点間印加電圧検出回路7により検出されたリレー接点間印加電圧検出値 v_1 (v_n)と補正時間 T_{hn} (T_{hn})とをリニアに対応させてデータマッピングし、上記検出されたリレー接点間印加電圧検出値 v_n が変わると、それに応じて補正時間 T_{hn} の値も相互にリニアな関係で変わるようにする。

【0040】そして、ステップ S_5 で予じめ設定されたサンプリング周期 t_n に対応したサンプリングタイマーをスタートさせて、ステップ S_6 で上記波形整形信号 V_{i1} の次の立下りによって示されるエンドタイミング T_B となったことが判定されるまでのサンプリング期間内、上記サンプリング周期 t_n ($n=1, 2, 3, 4 \dots n$)毎のサンプリング電圧 v_n ($n=1, 2, 3, 4 \dots n$)を対応する複数のRAM中に順次記憶して行く(ステップ S_7 、 S_8)。このようにして、検出回数 n 回の各サンプリング電圧 v_n に対応して補正時間 T_{hn} が決定されて記憶される。この補正時間 T_{hn} は、今回のものが次回のリレー駆動待ち時間 T_1 に対する補正時間として使用される。

【0041】次に、その間においてステップ S_6 で上記エンドタイミング T_B が到来したことが確認されると、

続いてステップ S_9 に進んで、その時の上記印加電圧検出値 v_n と上記リレー接点保護最適電圧の最大値 V_b に相当する印加電圧検出値の最大値 v_b とを比較し、 v_n が v_b 以上のYESの時はステップ S_{10} に進んで、上記リレー駆動待ち時間 T_1 を上記リレー駆動待ち時間 T_1 に対して上記図6を用いて演算された補正時間 T_{hn} を加えた時間($T_1 + T_{hn}$)に補正して、同時間($T_1 + T_{hn}$)が経過した時にトランジスタ Q_2 をONにしてリレーコイル R_Y を励磁する。

【0042】他方、ステップ S_9 でNOと判定された上記 v_n が少なくとも v_b よりも小さい時には、さらにステップ S_{11} で上記 v_n を図4の(c)に示す電源電圧 V_{AC} のリレー接点保護最適電圧範囲 $V_b \sim V_a$ に対応した最適検出電圧範囲 $v_b \sim v_a$ の最小電圧値 v_a と比較し、上記 v_n が最適検出電圧範囲 $v_b \sim v_a$ の v_a よりも小さい時(電圧レベルが低すぎる時)にはステップ S_{12} に進んで上記リレー駆動待ち時間 T_1 を $T_1 - T_{hn}$ にマイナス補正して駆動タイミングを進めた上でリレー接点 R_s を閉じる。他方、上記ステップ S_{11} でYESの時、すなわち検出されたリレー接点間印加電圧検出値 v_n が電源電圧 V_{AC} のリレー接点保護のための最適電圧範囲 $V_b \sim V_a$ に対応した最適検出電圧範囲 $v_b \sim v_a$ 内にある最適検出電圧の時には、そのまま補正(T_{hn} の加算又は減算)を行うことなくリレー接点 R_s を閉じる。

【0043】つまり、以上の構成では、各回のリレー接点閉制御時において、リレー接点 R_s 間の印加電圧検出値 v_n を基に次のための補正時間 T_{hn} を決定して置き、一旦上記負荷3への電源の供給が終了し、リレー接点 R_s が開いた状態にある場合において、例えば再び負荷3に対する操作スイッチがON操作されて、改めて負荷3に電流を流す必要がある時は、上記フローチャートのステップ S_9 以降に示すように、最終設定されるリレー駆動待ち時間は上記予じめ決定された基本的なリレー駆動待ち時間 T_1 に対して、それぞれ前回の制御で演算された補正時間 T_{hn} を加えた値($T_1 + T_{hn}$ 又は $T_1 - T_{hn}$)になり、リレー接点開閉制御スタートタイミング T_A から $T_1 + T_{hn}$ 、 $T_1 - T_{hn}$ 後に、リレーコイル R_Y に電流が流れ始め、さらに閉時の接点動作時間 T_{s1} の経過後に適切にリレー接点 R_s がONになって、負荷3に電流が流れることになる。

【0044】すなわち、その制御回前のリレー接点 R_s のON時に比べて T_{hn} だけ遅れ又は進んだタイミングで接点がONになる。そして、この時、リレー接点 R_s はAC電源1の電源電圧 V_2 で閉じる。

【0045】この電圧値 V_2 が図4のようにリレー接点保護最適電圧範囲 $V_b \sim V_a$ 内に入っている場合、リレー接点間印加電圧検出回路7はリレー接点接続時の同電圧値 V_2 に相当する印加電圧検出値 v_2 を検出し、制御ユニット5に取り込む。この印加電圧検出値 v_2 は、アー

ク放電を生じにくい最適検出電圧範囲 ($v_b \sim v_a$) に対応して定めてあるので、同電圧 v_2 が、この最適検出電圧範囲 ($v_b \sim v_a$) 内に入ると (ステップ S_{11} で YES の時)、上記制御ユニット 5 は新たな次の補正時間は演算せず、この時の補正時間 T_{hn} を維持しつづけ、次の接点 ON 時にもこの補正時間 T_{hn} で動作する。

【0046】他方、上記接点接続時の上記電圧 v_2 が上記最適検出電圧範囲 ($v_b \sim v_a$) 外にある時は、上記電圧 v_2 の値によって決定される補正時間 T_{hn} を演算し、RAM 内に記憶する。

【0047】そして、それにより次に負荷 3 に電流を流す指示があった時の上記リレー接点開閉制御スタートタイミング T_A からのリレー駆動待ち時間は、 $T_1 + T_{hn}$ 、 $T_1 - T_{hn}$ となり、上記図 2 のタイミングチャートよりさらに T_{hn} 遅れるか、又は進んだタイミングでリレー接点 R_s が閉じることになる。

【0048】以上の動作が、リレー接点 R_s の接続電圧がリレー接点保護最適電圧範囲 ($V_b \sim V_a$) に対応した最適検出電圧範囲 ($v_b \sim v_a$) 内に入るまで繰り返し行われ、やがて、その接続電圧が電源電圧 V_{AC} のリレー接点保護最適電圧範囲 ($V_b \sim V_a$) に対応した最適検出電圧範囲 ($v_b \sim v_a$) 内になる。

【0049】又、連続動作中も上記の接続電圧はリレー接点間印加電圧検出回路 7 で検出し続けられ、上記リレー接点保護最適電圧範囲 ($V_b \sim V_a$) に対応した最適検出電圧範囲 ($v_b \sim v_a$) から接続電圧が外れると、その値からリレー駆動待ち時間の補正時間を演算して補正するので、接続電圧は常に上記リレー接点保護最適電圧範囲 ($V_b \sim V_a$) 内に戻るようになる。

【0050】なお、以上の補正時間 T_{h1} (T_{hn}) の演算は、図 6 に示すようなリニアな特性を有するものに代えて、例えば図 7 に示すように、段階的に変化する正負両特性のマップを用いて上記ステップ $S_4 \sim S_{12}$ の動作を行わせるようにしてもよい。

【0051】すなわち、上記リレー接点間印加電圧検出回路 7 により検出されたリレー接点間印加電圧検出値 v_1 (v_n) と補正時間 T_{h1} (T_{hn}) とを所定のステップ幅で段階的に対応させてデータマッピングし、上記検出されたリレー接点間印加電圧検出値 v_n が変わると、それに応じて補正時間 T_{hn} の値も相互に段階的な関係で応答性良く変わるようにする。

【0052】(B) リレー接点 R_s を閉状態から開状態にブレーク制御する場合 (フローチャート図 3、タイミングチャート図 5)

この場合、リレー接点 R_s を開くときの接点動作時間 T_{s2} は、上記リレー接点 R_s を閉じるときの接点動作時間 T_{s1} とは異なるので、そのときのリレー駆動待ち時間 T_2 は、閉じるときのリレー駆動待ち時間 T_1 とは異なる。しかし、動作的には上記図 2、図 4 のリレー接点 R_s を閉じる時と同様の動作により、リレー接点保護最適

電圧範囲 (図 5 (a) 中の $V_d \sim V_c$) でリレー接点 R_s が開くように接点开タイミグが補正される。

【0053】すなわち、該場合には、先ずステップ S_1 で、上記 AC 電源 1 の電源電圧 V_{AC} の波形整形信号 V_{i1} (図 5 の (b) 参照) の立下がり時を基準として開始するリレー制御スタートタイミング T_A 以前であるか否かを判定し、同タイミング T_A 以前において上記負荷 3 に流している電流を OFF にする旨の指示 (例えばヒータスイッチ等による負荷 OFF 指令) があったとすると、上記波形整形信号 V_{i1} の立ち下がり時点で YES と判定し、それに対応して上記スタートタイミング T_A 時点から上記リレーコイル R_Y の励磁状態を遮断して上記リレー接点 R_s を開くリレー駆動回路 6 のリレー接点ブレーク動作が始まる。

【0054】そして、該リレー接点のブレーク動作が始まると、続いてステップ S_2 に進み、上記スタートタイミング T_A 時点からタイマーにより経過時間をカウントし、次のステップ S_3 で上記予じめ定められている所定のリレー開駆動待ち時間 T_2 が経過 ($T_2 = 0$) したか否かを判定する。その結果、YES (T_2 経過) と判定されると、その後、ステップ S_4 で上記リレー駆動回路 6 のトランジスタ Q_2 に対して出力されていたリレー駆動信号を停止する (図 5 の (d) 参照)。

【0055】そうすると、同トランジスタ Q_2 が OFF になって上記リレーコイル R_Y の電流が遮断され、個々のリレーの製品特性によって定まる所要の接点开動作時間 T_{s2} 後にリレー接点 R_s が OFF になって、負荷 3 への電流の供給が遮断されるようになる (図 5 の (e) 参照)。

【0056】この時 (1 回目のリレー OFF 時)、上記リレー接点 R_s は、上記 AC 電源 1 の電源電圧 V_{AC} のその時の所定の値の電圧 V_3 (V_n) で開き、目的とするリレー接点 R_s の損傷をさけるための上述のリレー接点保護最適電圧範囲 ($V_d \sim V_c$) に対しては、未だその範囲外にあることになる。

【0057】また、この時に上記リレー接点間印加電圧検出回路 7 は、抵抗 R_6 、 R_7 、ダイオード D_4 、 D_5 を介して図 5 の (a) に示される上記リレー接点 R_s の OFF 時の電源電圧 V_3 (V_n) に相当する上記図 5 の

(c) に示されるリレー接点 R_s 間の印加電圧検出値 v_3 (v_n) を検出して、上記制御ユニット 5 の複数の RAM 中の何れかの RAM に取り込んで記憶する。ここで検出されたリレー接点 R_s 間の印加電圧検出値 v_3 (v_n) も、上記リレー接点保護最適電圧範囲 ($V_d \sim V_c$) に相当する最適検出電圧範囲 ($v_d \sim v_c$) 外にあるため、上記制御ユニット 5 は次回 (2 回目以降) のリレー接点 R_s の OFF のタイミングでのリレー開駆動待ち時間 T_2 に対する所定の補正時間 T_{k1} (T_{kn}) を、上記検出されたリレー接点間印加電圧検出値 v_3 (v_n) を基に演算して上記別の RAM 中に記憶する。

【0058】この補正時間 T_{k1} (T_{kn})の記憶は、例えば前述の図6又は図7の特性を接点開放時に対応させて適切に変更した特性のマップを用いて、ステップ $S_5 \sim S_8$ に示すようにして行われる。

【0059】すなわち、上記リレー接点間印加電圧検出回路7により検出されたリレー接点間印加電圧検出値 v_3 (v_n)と上記補正時間 T_{k1} (T_{kn})とをリニアに対応させてデータマッピングし、上記検出されたリレー接点間印加電圧検出値 v_3 (v_n)が変わると、それに応じて補正時間 T_{k1} (T_{kn})の値もリニアな関係で変わるようにする。

【0060】そして、ステップ S_5 で予じめ設定されたサンプリング周期 t_n に対応したサンプリングタイマーをスタートさせて、ステップ S_6 で上記波形整形信号 V_{i1} の次の立下りによって示されるエンドタイミング T_B となったことが判定されるまでのサンプリング期間内、上記サンプリング周期 t_n ($n=1, 2, 3, 4, \dots, n$)毎のサンプリング電圧 v_n ($n=1, 2, 3, 4, \dots, n$)を対応する複数のRAM中に順次記憶して行く(ステップ S_7, S_8)。この結果、検出回数 n 回の各サンプリング電圧を演算することによって補正時間 T_{kn} が決定される。この補正時間 T_{kn} は、今回のものが次のリレー駆動待ち時間 T_2 に対する補正時間として使用される。

【0061】次に、その間において上記ステップ S_6 でエンドタイミング T_B に到達したことが確認されると、続いてステップ S_9 に進んで、その時の上記印加電圧検出値 v_n と電源電圧 V_{AC} のリレー接点保護最適電圧範囲 $V_d \sim V_c$ (図5の(a))に対応したリレー接点間印加電圧検出値の最適検出電圧範囲の最大値 v_d とを比較し、 v_n が v_d 以上のYESの時はステップ S_{10} に進んで、上記リレー駆動待ち時間 T_2 を上記リレー開駆動待ち時間 T_2 に対して上記補正時間 T_{kn} を加えた時間($T_2 + T_{kn}$)に補正して、同時間が経過した時にリレー接点 R_s を開く。

【0062】他方、ステップ S_9 でNOと判定された上記リレー接点間印加電圧検出値 v_n が v_d よりも小さい時には、さらにステップ S_{11} で同検出値 v_n を上記リレー接点保護最適電圧範囲 $V_d \sim V_c$ に対応した最適検出電圧範囲 $v_d \sim v_c$ の最小電圧値 v_c と比較し、検出値 v_n が最適検出電圧範囲 $v_d \sim v_c$ の v_c よりも小さい時(電圧値が低すぎる時)には、ステップ S_{12} に進んで上記リレー開駆動待ち時間 T_2 を $T_2 - T_{kn}$ にマイナス補正した上でリレー接点 R_s を開く。他方、上記ステップ S_{11} でYESの時は、すなわち検出されたリレー接点間印加電圧検出値 v_n がリレー開動作時のリレー接点保護のための最適検出電圧範囲 $v_d \sim v_c$ の範囲内にある適正なタイミングの時には、そのまま新たな補正を行うことなくリレー接点 R_s を開く。

【0063】つまり、以上の構成では、各回のリレー接

点開制御時において、リレー接点間の印加電圧検出値を基に次のための補正時間 T_{kn} を演算して置き、一旦上記負荷3への電源の遮断が終了し、その後閉駆動されてリレー接点 R_s が再び閉じた状態にある場合において、例えば再び負荷3に対する操作スイッチがOFF操作されて、改めて負荷3をOFFする必要があるような2回目以降のリレー接点ブレーク動作時には、上記フローチャートのステップ S_9 以降の動作に示すように、最終的に設定されるリレー開駆動待ち時間 T_2 は、上記前回に決定された補正值 T_{kn} を加えた値($T_2 + T_{kn}$ 又は $T_2 - T_{kn}$)になり、上述のスタートタイミング T_A から $T_2 + T_{kn}$ 後に、リレーコイル R_Y に流れる電流が遮断され始め、その接点开動作時間 T_{s2} 後にリレー接点 R_s が開放されて、負荷3に流れる電流が遮断される。

【0064】すなわち、その前(前回)のリレー接点 R_s のOFF制御時に比べて所定時間 T_{kn} 遅れ、又は進んだタイミングで接点がOFFになる。そして、この時、リレー接点 R_s は、図5の(a)に示すAC電源1の電圧 V_4 で開かれる。

【0065】この電圧値 V_4 が図5の(a)のリレー接点保護最適電圧範囲 $V_d \sim V_c$ 内に入っている場合、リレー接点間印加電圧検出回路7は同リレー接点開放時の電圧 V_4 に相当するリレー接点間印加電圧検出値 v_4 を検出して、制御ユニット5のRAMに取り込む。この印加電圧検出値 v_4 は、上述の最適検出電圧範囲($v_d \sim v_c$)に対応しているため、同印加電圧検出値 v_4 が最適検出電圧範囲($v_d \sim v_c$)内に入ると(ステップ S_{11} でYESの時)、制御ユニット5は新たな次の補正時間 T_{kn} は演算せず、前回の補正值 T_{kn} を維持しつづけて、次のリレー接点OFF時にも前回の補正時間 T_{kn} で動作する。

【0066】他方、上記リレー接点開放時の電圧 V_4 がリレー接点保護最適電圧範囲($V_d \sim V_c$)外の時には、同リレー接点開放時の電源電圧 V_4 の値により決定される新たな補正值 T_{kn} を演算し、RAM内に記憶する。

【0067】そして、次に負荷3に流れる電流を遮断する旨の指示があった時のスタートタイミング T_A からのリレー駆動待ち時間は、 $T_2 + T_{kn}$ 又は $T_2 - T_{kn}$ となり、上記図5のタイミングチャートよりさらに T_{kn} 遅れるか、又は進んだタイミングで接点が開かれることになる。

【0068】以上の動作が、リレー接点 R_s の実際のリレー接点開放電圧 V_4 がリレー接点保護最適電圧範囲($V_d \sim V_c$)内に入るまで繰り返行われ、そのリレー接点開放電圧 V_4 は必ずリレー接点保護最適電圧範囲($V_d \sim V_c$)内に入るようになる。

【0069】さらに、連続動作中も上記の開放電圧 V_4 はリレー接点間印加電圧検出回路7で常時検出し続けら

れ、リレー接点保護最適電圧範囲($V_d \sim V_c$)から開放電圧 V_4 がはずれると、その値からリレー開駆動待ち時間 T_2 の補正時間 T_{kn} を演算して加算又は減算補正するようになるので、上記開放電圧 V_4 は常にリレー接点保護最適電圧範囲 $V_d \sim V_c$ 内に戻る。

【0070】ところで、上記補正時間 T_{kn} の記憶は、例えば図8のようにしてなされる。

【0071】すなわち、上記リレー接点 R_s は、上記スタートタイミング T_A から、上記リレー駆動待ち時間 T_2 と、それまでの補正時間 T_{kn} の累積値 ΣT_{kn} と、接点開動作時間 T_{s2} とがそれぞれ経過した後に、初めて開き始める。

【0072】しかし、上記リレー接点 R_s は、機構的に開いたとしても、リレー接点 R_s 解放時に発生するアークなどにより電気的には半接続の状態が続き、図示のように所定の遮断遅れ時間 T_m を有し、その経過後に初めて電気的に接点が開く。

【0073】そこでリレー接点 R_s の開くタイミングの時間帯 t について $t_1 \sim t_n$ 回繰り返してリレー接点間の印加電圧検出値 $v_1 \sim v_n$ を検出し、それらの値を上記制御ユニット5の複数のRAM中に順次記憶し、その最大値 v_m を求めるようにする。

【0074】以上のように、この発明のリレー駆動装置は、交流電源を矩形波に整形する波形整形手段と、リレー接点開閉時にリレー接点間に印加された印加電圧値を検知するリレー接点間印加電圧検出手段と、該リレー接点間印加電圧検出手段により検出されたリレー接点間の印加電圧値に基づいて所定の補正時間を決定し、この補正時間を用いて最終的なリレー駆動タイミングとなるリレー駆動待ち時間を決定するリレー駆動制御手段と、上記リレー駆動制御手段からの出力信号によって、上記リレー接点を開閉するリレー駆動手段とを備えて構成されている。そして、それにより上記リレー接点開閉時の上記リレー接点間の印加電圧値に基づいて、その開閉タイミングの補正時間を決定し、それにより最終的なリレー駆動タイミングを補正するだけの簡単な構成で、最終的に交流電源のゼロボルト近辺でリレーの接点の開閉を行うようになっている。

【0075】したがって、負荷電流の開閉時にリレー接点間で起きるアーク放電が抑えられ、接点寿命が向上するとともに、寿命のばらつきも小さくすることができる。その結果、リレーの信頼性が向上し、必要に応じてリレーによる負荷電力のデューティ制御なども可能となる。

【0076】また、リレー接点開閉時のリレー接点間の印加電圧値に基づいて、その開閉タイミング補正時間を決定するようになっているので、同補正時間自体がリレー開閉時点でのチャタリングノイズ等による同期位置変動の影響を受けないようになる。

【0077】さらに、大きなチャタリングノイズ等で交

流電源波形が大幅に歪むようなことがあっても、上記開閉タイミング補正時間はリレー接点開閉時のリレー接点間の印加電圧値により決定されるため、最適電圧範囲を超えるようなことはなく、過大な補正が起こりにくい。

【0078】なお、以上の実施の形態の構成では、上述のような制御を開始するためのスタートタイミング T_A を、一例としてAC電源のゼロクロスポイントに対応させて設定したが、これは要するにAC電源に同期するポイントであれば、どのポイントであっても同様の作用効果を持つ。

【0079】(他の実施の形態)ところで、上記リレーのリレーコイル R_Y は、誘導負荷としての特性を有しているために、サージ電圧が発生する問題がある。

【0080】その対策として、上記実施の形態のものは、図1のように、リレーコイル R_Y に並列にサージ電圧吸収手段としてのダイオード D_3 を接続して当該サージ電圧を吸収させるようにしている。

【0081】したがって、該ダイオード D_3 によりリレーコイル R_Y 部分で発生する誘導負荷特有の回路を破壊するような高電位のサージ電圧を吸収してリレー駆動回路6の保護を図ることができる。

【0082】ところが、そのようにダイオード D_3 を挿入しただけの場合、リレー個々の製品特性の相違によっては、当該ダイオード D_3 があることにより、リレー接点 R_s の動作時間が大きく変化し、共通なタイミングでの開閉制御を行うことが難しくなる。

【0083】そこで、この問題を解決したものが他の実施の形態としての図9の回路である。

【0084】該構成では、サージ電圧吸収手段が、リレーコイル R_Y に並列に接続されたダイオード D_3 およびツェナーダイオード ZD の直列回路よりなっている。

【0085】このようにサージ電圧吸収手段が、ダイオード D_3 と該ダイオード D_3 に直列なツェナーダイオード ZD により形成されていると、先ずダイオード D_3 によりリレーコイル R_Y 部分で発生する誘導負荷特有の上記回路を破壊するような高電位のサージ電圧を有効に吸収してリレー駆動回路6の保護を図ることができる。

【0086】そして、さらに上記ダイオード D_3 に対して直列なツェナーダイオード ZD があると、リレーコイル R_Y で発生するサージ電圧の内の上記回路を破壊するような高電位のサージ電圧のみを吸収し、接点動作時間を変化させる要因の低電位のサージ電圧は吸収しないようになるので、上記リレー接点 R_s の動作時間を略共通にすることができるようになる。

【0087】その結果、例えば予じめ基本的な開閉タイミングを上記の制御ユニット5の所定の記憶手段に記憶させておくようにすると、前述のようなリレー駆動タイミングの補正回数を減らすことが可能になり、リレー接点 R_s の寿命を延ばすことができる。

【図面の簡単な説明】

【図1】本願発明の実施の形態に係るリレー駆動装置を適用して構成したリレー駆動システム図である。

【図2】同リレー駆動システムのリレー接点閉動作時のフローチャートである。

【図3】同リレー駆動システムのリレー接点開動作時のフローチャートである。

【図4】同リレー駆動システムのリレー接点閉動作時のタイミングチャートである。

【図5】同リレー駆動システムのリレー接点開動作時のタイミングチャートである。

【図6】同リレー駆動システムのリレー接点間印加電圧検出値とリレー駆動待ち時間補正時間との関係を示す第1例（連続的対応例）のグラフである。

【図7】同リレー駆動システムのリレー接点間印加電圧検出値とリレー駆動待ち時間補正時間との関係を示す第2例（段階的対応例）のグラフである。

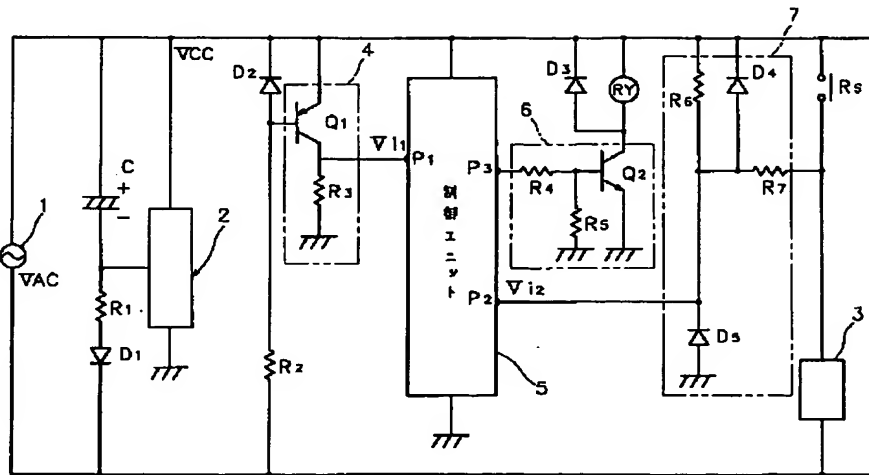
【図8】同リレー駆動システムの制御ユニット中のRAMに記憶させるリレー接点間印加電圧検出値記憶システム例を示すタイミングチャートである。

【図9】他の実施の形態に係るリレー駆動装置を適用して構成したリレー駆動システム図である。

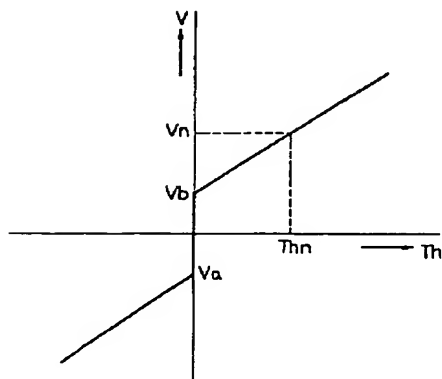
【符号の説明】

1はAC電源、2は直流電源、3は負荷、4は波形整形回路、5は制御ユニット、6はリレー駆動回路、7はリレー接点間印加電圧検出回路、 D_3 はダイオード、 ZD はツェナーダイオードである。

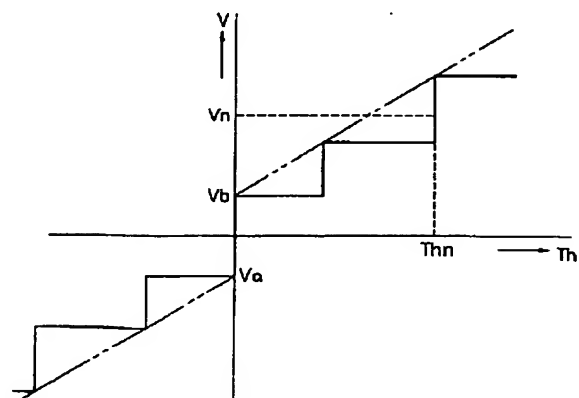
【図1】



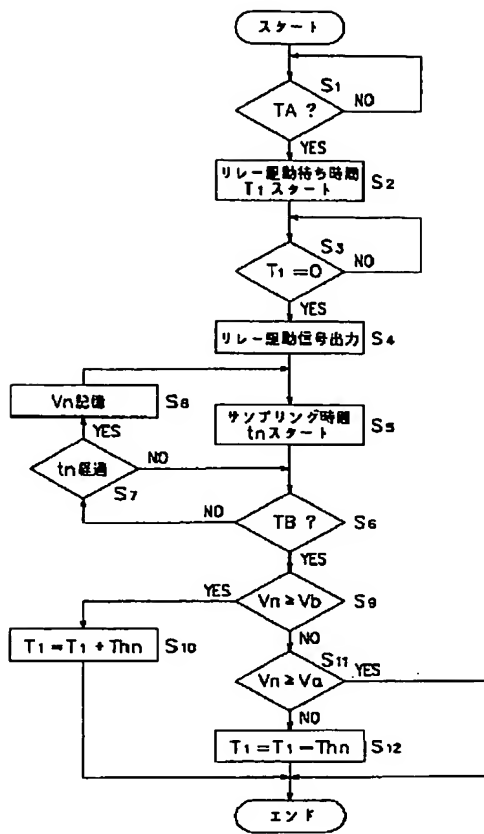
【図6】



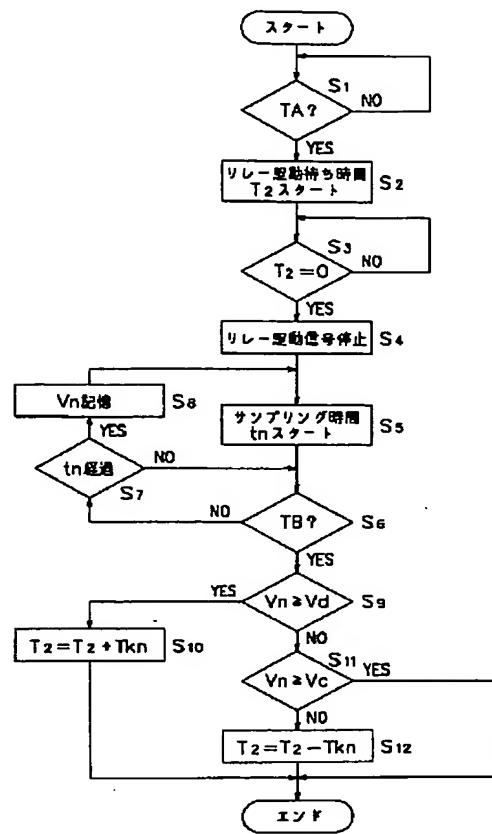
【図7】



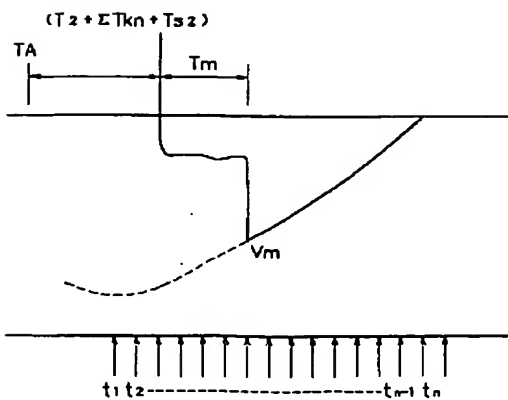
【図2】



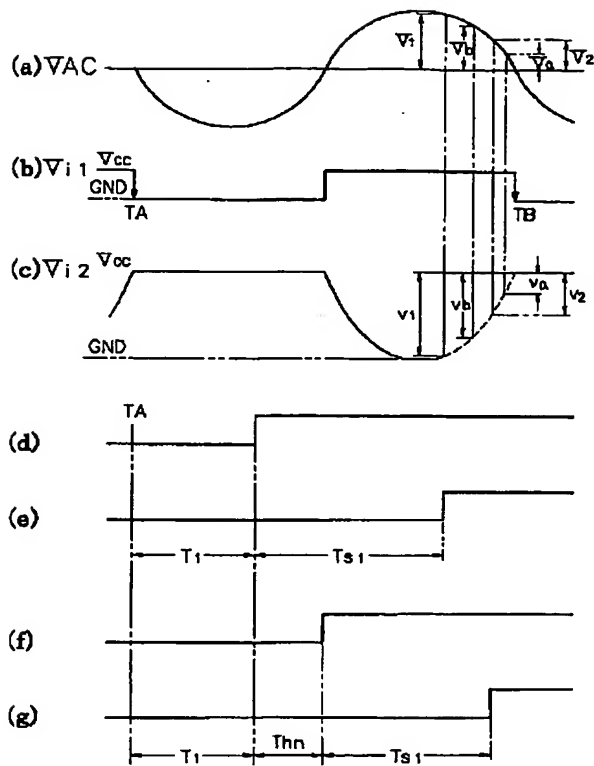
【図3】



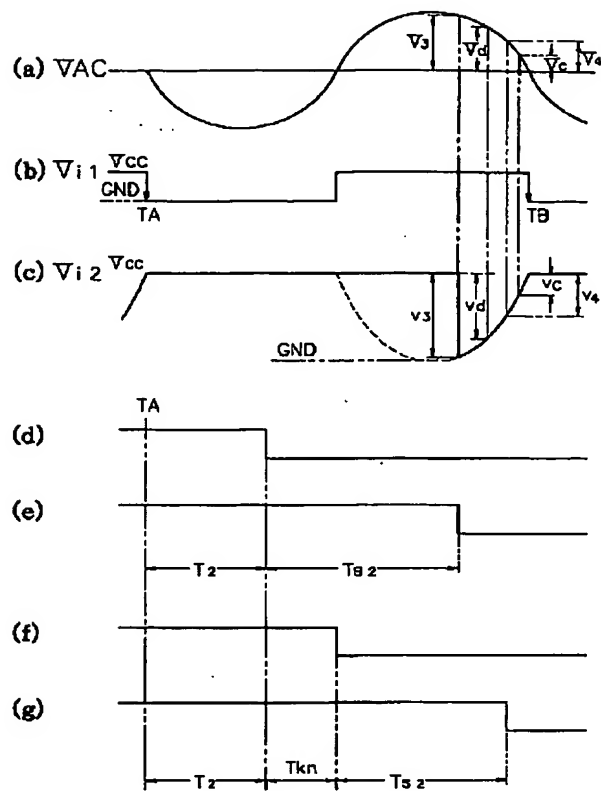
【図8】



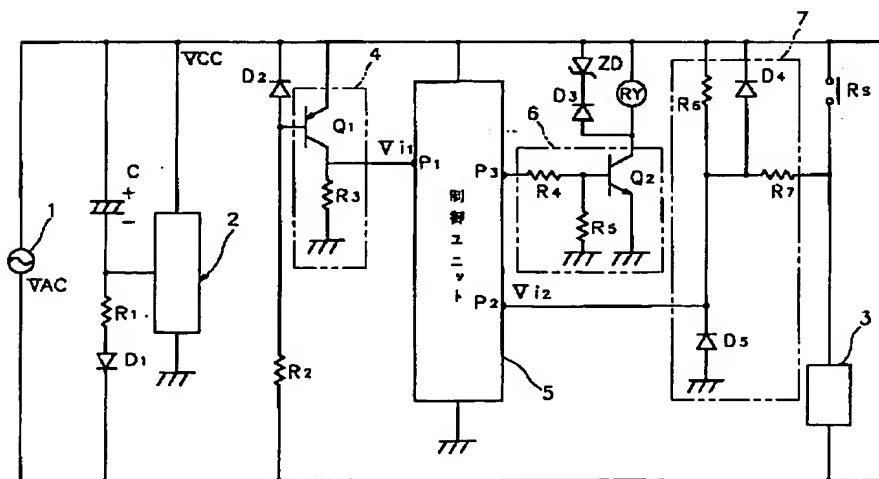
【図4】



【図5】



【図9】



フロントページの続き

(72)発明者 小嶋 英幹
香川県香川郡香南町池内958 隆祥産業株
式会社香川工場内

(72)発明者 宮前 昇治
大阪府門真市速見町1033 タイガー魔法瓶
株式会社内

(註2) 100-340057 (P2000-4v57

Fターム(参考) 5G034 AA06
5G057 AA18 WW14

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record.**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.